

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1017 U.S. PTO  
10/020440



12/18/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年12月19日

出 願 番 号

Application Number:

特願2000-385523

出 願 人

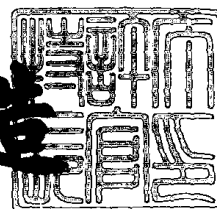
Applicant(s):

シャープ株式会社

2001年 9月13日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2001-3084959

【書類名】 特許願

【整理番号】 00J03872

【提出日】 平成12年12月19日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/786  
G02F 1/136

【発明者】  
【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 上田 徹

【特許出願人】  
【識別番号】 000005049  
【氏名又は名称】 シャープ株式会社

【代理人】  
【識別番号】 100101683  
【弁理士】  
【氏名又は名称】 奥田 誠司

【手数料の表示】  
【予納台帳番号】 082969  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 薄膜トランジスタおよびその製造方法ならびに液晶表示装置

【特許請求の範囲】

【請求項 1】 半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、

間隔を開けて設けられ、ソース／ドレイン領域として機能する第 1 導電型の第 1 高濃度不純物領域および第 1 導電型の第 2 高濃度不純物領域と、

前記第 1 高濃度不純物領域と第 2 高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた第 2 導電型の複数のチャンネル領域と、

前記複数のチャンネル領域のうち隣接する 2 つのチャンネル領域の間に設けられた第 1 導電型の中間領域と、

前記複数のチャンネル領域のうち前記第 1 高濃度不純物領域の最も近くに位置するチャンネル領域である第 1 チャンネル領域と前記第 1 高濃度不純物領域との間に位置する前記第 1 導電型の第 1 低濃度不純物領域と、

前記第 1 低濃度不純物領域とは異なるキャリア濃度を有し、前記第 1 低濃度不純物領域と前記第 1 チャンネル領域との間に位置する前記第 1 導電型の第 3 低濃度不純物領域と、

前記複数のチャンネル領域のうち前記第 2 高濃度不純物領域の最も近くに位置するチャンネル領域である第 2 チャンネル領域と前記第 2 高濃度不純物領域との間に位置する前記第 1 導電型の第 2 低濃度不純物領域と、

前記第 3 低濃度不純物領域とは異なるキャリア濃度を有し、前記第 3 低濃度不純物領域と前記第 2 チャンネル領域との間に位置する前記第 1 導電型の第 4 低濃度不純物領域と

を有する薄膜トランジスタ。

【請求項 2】 各領域のキャリア濃度が、実質的に以下のように設定される請求項 1 に記載の薄膜トランジスタ。

第 1 高濃度不純物領域＝第 2 高濃度不純物領域＞第 1 低濃度不純物領域＝第 2 低濃度不純物領域＞第 3 低濃度不純物領域＝第 4 低濃度不純物領域＝中間領域

【請求項 3】 前記半導体層において、前記複数のチャネル領域、前記中間領域、前記第 3 低濃度不純物領域、および第 4 低濃度不純物領域には、略同じ濃度を有する第 2 導電型の不純物が選択的にドーピングされている請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 4】 前記第 3 低濃度不純物領域および第 4 低濃度不純物領域には、前記第 2 導電型の不純物がドーピングされており、かつ、前記第 1 低濃度不純物領域および第 2 低濃度不純物領域にドーピングされた不純物と同一の第 1 導電型の不純物がドーピングされている請求項 3 に記載の薄膜トランジスタ。

【請求項 5】 前記第 3 低濃度不純物領域および第 4 低濃度不純物領域のキャリア濃度と前記第 1 低濃度不純物領域および第 2 低濃度不純物領域のキャリア濃度との差は、前記第 3 低濃度不純物領域および第 4 低濃度不純物領域にドーピングされた前記第 2 導電型の不純物によって生じる請求項 4 に記載の薄膜トランジスタ。

【請求項 6】 前記第 1 低濃度不純物領域の長さと前記第 2 低濃度不純物領域の長さとが実質的に等しい請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 7】 前記第 3 低濃度不純物領域の長さと前記第 4 低濃度不純物領域の長さとが実質的に等しい請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 8】 前記中間領域の長さは、前記第 1 低濃度不純物領域の長さと第 3 低濃度不純物領域の長さとを足した長さ、および前記第 2 低濃度不純物領域の長さと第 4 低濃度不純物領域の長さとを足した長さよりも短い請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 9】 絶縁性基板上に半導体薄膜を形成する工程と、  
前記半導体薄膜におけるチャネル領域として機能する部分を含む第 1 領域に第 1 導電型の第 1 不純物を選択的にドーピングする工程と、  
前記半導体薄膜上において、前記チャネル領域として機能する部分を覆うようにゲート電極を形成する工程と、  
前記ゲート電極を形成した後、前記ゲート電極をマスクとして、前記第 1 領域と前記第 1 領域の外側領域とを含む第 2 領域に、第 2 導電型の第 2 不純物をドーピングする工程と、

前記第 1 領域と前記第 2 領域とが重なる領域の外側において、前記重なる領域と所定間隔離れるように規定された第 3 領域に第 2 導電型の第 3 不純物を選択的にドーピングし、これにより、ソース領域およびドレイン領域として機能し得る領域を形成する工程と

を包含する薄膜トランジスタの製造方法。

【請求項 10】 前記第 2 不純物のドーピング量は、前記第 3 不純物のドーピング量よりも小さい請求項 9 に記載の薄膜トランジスタの製造方法。

【請求項 11】 半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、

間隔を開けて設けられ、ソース／ドレイン領域として機能する第 1 高濃度不純物領域および第 2 高濃度不純物領域と、

前記第 1 高濃度不純物領域と第 2 高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた複数のチャンネル領域と、

前記複数のチャンネル領域のうち、隣接する 2 つのチャンネル領域の間に設けられた中間領域と、

前記複数のチャンネル領域のうち前記第 1 高濃度不純物領域の最も近くに位置するチャンネル領域である第 1 チャンネル領域と前記第 1 高濃度不純物領域との間に位置する第 1 低濃度不純物領域と、

前記複数のチャンネル領域のうち前記第 2 高濃度不純物領域の最も近くに位置するチャンネル領域である第 2 チャンネル領域と前記第 2 高濃度不純物領域との間に位置する第 2 低濃度不純物領域とを有し、

前記第 1 チャンネル領域は第 1 のイントリンシックチャンネル領域を有し、第 2 チャンネル領域は第 2 のイントリンシックチャンネル領域を有する薄膜トランジスタ。

【請求項 12】 前記第 1 のイントリンシックチャンネル領域および第 2 のイントリンシックチャンネルは、前記ゲート電極によって実質的に覆われている請求項 11 に記載の薄膜トランジスタ。

【請求項 13】 前記第 1 チャンネル領域および第 2 チャンネル領域のそれぞれは、前記第 1 のイントリンシックチャンネル領域と前記中間領域との間、および前

記第 2 のイントリンシックチャンネル領域と前記中間領域との間に位置するドーブドチャンネル領域を有している請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 4】 前記第 1 チャンネル領域の前記ドーブドチャンネル領域、前記第 2 チャンネル領域の前記ドーブドチャンネル領域、および前記中間領域には、所定の濃度を有する第 1 導電型の不純物が選択的にドーブされている請求項 1 3 に記載の薄膜トランジスタ。

【請求項 1 5】 前記第 1 低濃度不純物領域の長さと同前記第 2 低濃度不純物領域の長さと同が実質的に等しい請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 6】 前記第 1 のイントリンシックチャンネル領域の長さと同前記第 2 のイントリンシックチャンネル領域の長さと同が実質的に等しい請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 7】 前記第 1 のイントリンシックチャンネル領域および前記第 2 のイントリンシックチャンネル領域の長さは、前記中間領域の長さ、前記第 1 低濃度不純物領域の長さ、および第 2 低濃度不純物領域の長さよりも短い請求項 1 1 に記載の薄膜トランジスタ。

【請求項 1 8】 絶縁性基板上に半導体薄膜を形成する工程と、  
前記半導体薄膜における第 1 領域に第 1 導電型の第 1 不純物を選択的にドーブする工程と、

前記半導体薄膜上において、前記第 1 領域および前記第 1 領域の外側領域を覆うゲート電極を形成する工程と、

前記ゲート電極を形成した後、前記ゲート電極をマスクとして、前記第 1 領域と同前記第 1 領域の外側領域とを含む第 2 領域に、第 2 導電型の第 2 不純物をドーブする工程と、

前記第 1 領域と、前記ゲート電極によって覆われる領域とを含む第 3 領域の外側において、前記第 3 領域と同所定間隔離れるように規定された第 4 領域に第 2 導電型の第 3 不純物を選択的にドーブする工程と

を包含する薄膜トランジスタの製造方法。

【請求項 1 9】 請求項 1 または 1 1 に記載の薄膜トランジスタ、前記薄膜トランジスタの第 1 高濃度不純物領域と電気的に接続される信号配線、前記ゲー

ト電極に電氣的に接続されるゲート配線、および前記薄膜トランジスタの第 2 高濃度不純物領域と電氣的に接続される画素電極が形成された基板と、

前記画素電極の電位に応じて光学状態を変化させる液晶層とを備えるアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、アクティブマトリクス型液晶表示装置や密着型イメージセンサなどに適切に用いられる薄膜トランジスタおよびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

近年、パーソナルコンピュータの表示装置、薄型テレビ、ビデオ撮像装置の表示装置等として、アクティブマトリクス型液晶表示装置が利用されている。アクティブマトリクス型液晶表示装置においては、薄膜トランジスタ（T F T : T h i n F i l m T r a n s i s t o r）が、画素のオン／オフ状態を切り換えるスイッチング素子として広く用いられている。T F T は画素毎に設けられており、各画素の駆動は、それぞれに設けられた T F T によって制御される。

【 0 0 0 3 】

T F T のゲートに走査信号が印加され T F T がオン状態となっているとき、T F T のドレインに接続された画素電極には、T F T のソースに接続された信号配線から所定の信号電圧が印加される。液晶表示装置では、画素電極に印加された信号電圧の大きさに応じて液晶の配向状態が変化し、これによって画像の表示が行なわれる。

【 0 0 0 4 】

画素電極に所定の信号電圧を印加した後、この画素電極に新たな信号電圧を印加するまでの間（1 フレーム期間）、T F T のゲートには走査信号が印加されず T F T はオフ状態にされている。この期間において、画素電極の電位を一定に保ち、所定の表示状態を維持するためである。T F T がオフ状態の間、T F T を流れる電流（リーク電流またはオフ電流）はできる限り小さいことが望ましい。オ

フ電流が大きい場合、液晶の配向状態が維持されず表示品位は低下してしまう。

【 0 0 0 5 】

特に、半導体層として多結晶シリコン層を用いた T F T の場合、多結晶シリコンの電界効果移動度が高いことから、非晶質シリコン層を用いた T F T に比べてオフ電流が高くなる傾向がある。このため、画素電極の電位を維持することがより困難になる。

【 0 0 0 6 】

また、表示装置の高精細化が進むにつれ、表示装置の画素数は増加してきている。画素数の多い表示装置では、より短い時間で画素を駆動する必要があるため、T F T のオン電流を高くする必要がある。

【 0 0 0 7 】

さらに、液晶プロジェクタ用の小型高精細液晶ディスプレイなどにおいて、画素のサイズはますます縮小してきている。このようなディスプレイにおいて、表示画像の明るさを向上させるためには、画素領域における開口率を高める必要があり、T F T のサイズをより小さくすることが要求される。一方で、表示装置を高い歩留まりで生産するためには、種々の欠陥に起因した T F T のリーク不良対策が必要である。

【 0 0 0 8 】

以上説明したように、T F T、特に小型高精細液晶ディスプレイの画素を駆動するために用いられる T F T は、以下に示すような特徴を有することが望ましい。

- (1) リーク電流が小さい。
- (2) オン電流が大きい。
- (3) サイズが小さい。
- (4) リーク不良がない。

【 0 0 0 9 】

このような特性を有する T F T として、所謂マルチゲート構造と所謂 L D D ( L i g h t l y D o p e d D r a i n ) 構造とを組み合わせた構造を有する T F T が、例えば、特開平 7 - 2 6 3 7 0 5 号公報において記載されている。以



下、図 1 3 を参照して、上記公報に記載の T F T を説明する。

【 0 0 1 0 】

図 1 3 に示す従来の T F T 9 0 では、半導体薄膜 9 2 上に絶縁膜 9 4 を介して一対のゲート電極 9 6 a および 9 6 b が形成されている。半導体薄膜 9 2 において、ゲート電極 9 6 a および 9 6 b の真下にはチャネル領域 9 7 a および 9 7 b がそれぞれ形成されており、チャネル領域 9 7 a および 9 7 b の外側には、低濃度不純物領域 9 8 a および 9 8 b と、高濃度不純物領域 9 9 a および 9 9 b (ソース領域およびドレイン領域) とが形成されている。また、チャネル領域間には低濃度不純物領域 (中間領域) 9 5 が形成されている。

【 0 0 1 1 】

このようにドレイン領域 (高濃度不純物領域) 9 9 b とチャネル領域 9 7 b との間に低濃度不純物領域 (L D D 領域) 9 8 b を設けることにより、ドレイン端での電界集中が緩和され、これによって、リーク電流が抑制される。また、マルチゲート型を採用し、等価回路的にはシングルゲート型の T F T を 2 つ直列接続する構成とすることによって、一方の T F T にリーク不良が生じた場合にも、他方の T F T によりスイッチング素子としての機能を果たすことができる。このため、リーク不良に対して冗長性を持たすことができる。

【 0 0 1 2 】

さらに、上記公報に記載の T F T 9 0 は、中間領域 9 5 の長さが低濃度不純物領域 9 8 a および 9 8 b の長さの合計より短くなるように構成されており、これによってオン電流を大きくしている。また、T F T 9 0 は、ゲート電極間に高濃度不純物領域を有していない構成であるので、ゲート電極間の間隔を狭めることができ、これにより T F T の微細化が可能である。

【 0 0 1 3 】

以下、図 1 4 を参照しながら、上記 T F T 9 0 を備えた、液晶表示装置用の T F T 基板の製造工程を説明する。

【 0 0 1 4 】

まず、絶縁性基板 9 1 上における素子領域に、多結晶シリコン (P o l y - S i) 等から形成される半導体薄膜 9 2 を設け、半導体薄膜 9 2 の表面部分を酸化

することなどによって、絶縁膜 94 を形成する（図 14（a））。

#### 【0015】

次に、必要に応じて、半導体薄膜 92 全面に対して  $B^{+}$  イオン等を所定のドーズ量（例えば、 $1 \sim 8 \times 10^{12} / \text{cm}^2$ ）で注入する（図 14（b））。この工程において、TFT のチャネル領域の特性が決定され、TFT の閾値電圧が制御される。

#### 【0016】

次に、絶縁膜 94 で覆われた半導体薄膜 92 上に、ゲート電極 96 a および 96 b を形成する（図 14（c））。ゲート電極 96 a および 96 b は、例えば、燐をドーピングした低抵抗の  $\text{Poly-Si}$  薄膜を成膜し、これに対して所定のパターニングを施すことによって形成される。なお、ゲート電極 96 a および 96 b を形成する前に、必要に応じて窒化シリコン膜などを設けても良い。

#### 【0017】

その後、LDD 領域を形成するために、ゲート電極 96 a および 96 b をマスクとしてセルフアライメントで  $P^{+}$  イオン等を比較的低いドーズ量で半導体膜全面に注入する（図 14（d））。これにより、ゲート電極で覆われない部分において低濃度不純物領域が形成される。

#### 【0018】

次に、各ゲート電極の側面から所定の距離離れた部分まで覆うレジスト 93 を形成し、このレジスト 93 をマスクとして  $As^{+}$  イオン等の不純物を比較的高いドーズ量で注入する（図 14（e））。これにより、先に形成した低濃度不純物領域の一部を高濃度不純物領域に転換する。高濃度不純物領域は、TFT のソース領域およびドレイン領域として機能する。

#### 【0019】

このようにして形成された TFT を絶縁性材料で覆い、注入不純物の活性化などを行ったのち、ソース領域の上部にコンタクトホールを形成する（図 14（f））。

#### 【0020】

その後、導電性材料から形成される信号配線 S をコンタクトホールを介してソ

ース領域と接触するように形成する。さらに、これらの全体を覆う絶縁膜を形成した後、ドレイン領域の上部にコンタクトホールを開口し、ITO等の材料を用いて透明電極（画素電極）Pをドレイン領域と接触するように形成する（図14（g））。これによって、アクティブマトリクス型液晶表示装置に用いられるTFT基板が完成する。

#### 【0021】

##### 【発明が解決しようとする課題】

上記従来のTFT90は、マルチゲート構造を有しているため、リーク不良が発生する可能性を低下させることができる。また、中間領域を低濃度不純物領域で形成したことで、ゲート電極間の間隔を狭めることが可能になり、これにより、TFTのサイズを小さくすることができる。

#### 【0022】

しかし、TFT90では、リーク電流を小さくし、かつ、オン電流を大きくすることが困難であった。TFT90において、低濃度不純物領域の不純物濃度を高くすると、オン電流を高くすることが可能であるが、この場合、リーク電流は増大してしまう。一方、不純物濃度を低くすると、リーク電流を低下させることができるが、この場合、オン電流は低下してしまう。

#### 【0023】

本発明は、かかる諸点を鑑みてなされたものであり、その主な目的は、リーク電流が小さく、オン電流が大きい薄膜トランジスタおよびその製造方法を提供することである。

#### 【0024】

本発明の他の目的は、上記薄膜トランジスタを備え、表示品位が向上した液晶表示装置を提供することにある。

#### 【0025】

##### 【課題を解決するための手段】

本発明による薄膜トランジスタは、半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、間隔を開けて設けられ、ソース／ドレイン領域として機能する第1導電型の第1高濃

度不純物領域および第 1 導電型の第 2 高濃度不純物領域と、前記第 1 高濃度不純物領域と第 2 高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた第 2 導電型の複数のチャンネル領域と、前記複数のチャンネル領域のうち隣接する 2 つのチャンネル領域の間に設けられた第 1 導電型の中間領域と、前記複数のチャンネル領域のうち前記第 1 高濃度不純物領域の最も近くに位置するチャンネル領域である第 1 チャンネル領域と前記第 1 高濃度不純物領域との間に位置する前記第 1 導電型の第 1 低濃度不純物領域と、前記第 1 低濃度不純物領域とは異なるキャリア濃度を有し、前記第 1 低濃度不純物領域と前記第 1 チャンネル領域との間に位置する前記第 1 導電型の第 3 低濃度不純物領域と、前記複数のチャンネル領域のうち前記第 2 高濃度不純物領域の最も近くに位置するチャンネル領域である第 2 チャンネル領域と前記第 2 高濃度不純物領域との間に位置する前記第 1 導電型の第 2 低濃度不純物領域と、前記第 3 低濃度不純物領域とは異なるキャリア濃度を有し、前記第 3 低濃度不純物領域と前記第 2 チャンネル領域との間に位置する前記第 1 導電型の第 4 低濃度不純物領域とを有する。

## 【 0 0 2 6 】

好ましい実施形態において、各領域のキャリア濃度は、実質的に次に示すように設定される。第 1 高濃度不純物領域＝第 2 高濃度不純物領域＞第 1 低濃度不純物領域＝第 2 低濃度不純物領域＞第 3 低濃度不純物領域＝第 4 低濃度不純物領域＝中間領域。

## 【 0 0 2 7 】

好ましい実施形態において、前記半導体層において、前記複数のチャンネル領域、前記中間領域、前記第 3 低濃度不純物領域、および第 4 低濃度不純物領域には、略同じ濃度を有する第 2 導電型の不純物が選択的にドーピングされている。

## 【 0 0 2 8 】

好ましい実施形態において、前記第 3 低濃度不純物領域および第 4 低濃度不純物領域には、前記第 2 導電型の不純物がドーピングされており、かつ、前記第 1 低濃度不純物領域および第 2 低濃度不純物領域にドーピングされた不純物と同一の第 1 導電型の不純物がドーピングされている。

## 【 0 0 2 9 】

好ましい実施形態において、前記第 3 低濃度不純物領域および第 4 低濃度不純物領域のキャリア濃度と前記第 1 低濃度不純物領域および第 2 低濃度不純物領域のキャリア濃度との差は、前記第 3 低濃度不純物領域および第 4 低濃度不純物領域にドーパされた前記第 2 導電型の不純物によって生じる。

【0030】

好ましい実施形態において、前記第 1 低濃度不純物領域の長さと前記第 2 低濃度不純物領域の長さとが実質的に等しい。

【0031】

好ましい実施形態において、前記第 3 低濃度不純物領域の長さと前記第 4 低濃度不純物領域の長さとが実質的に等しい。

【0032】

好ましい実施形態において、前記中間領域の長さは、前記第 1 低濃度不純物領域の長さと第 3 低濃度不純物領域の長さとを足した長さ、および前記第 2 低濃度不純物領域の長さと第 4 低濃度不純物領域の長さとを足した長さよりも短い。

【0033】

本発明の薄膜トランジスタの製造方法は、絶縁性基板上に半導体薄膜を形成する工程と、前記半導体薄膜におけるチャネル領域として機能する部分を含む第 1 領域に第 1 導電型の第 1 不純物を選択的にドーパする工程と、前記半導体薄膜上において、前記チャネル領域として機能する部分を覆うようにゲート電極を形成する工程と、前記ゲート電極を形成した後、前記ゲート電極をマスクとして、前記第 1 領域と前記第 1 領域の外側領域とを含む第 2 領域に、第 2 導電型の第 2 不純物をドーパする工程と、前記第 1 領域と前記第 2 領域とが重なる領域の外側において、前記重なる領域と所定間隔離れるように規定された第 3 領域に第 2 導電型の第 3 不純物を選択的にドーパし、これにより、ソース領域およびドレイン領域として機能し得る領域を形成する工程とを包含する。

【0034】

好ましい実施形態において、前記第 2 不純物のドーパ量は、前記第 3 不純物のドーパ量よりも小さい。

【0035】

本発明の薄膜トランジスタは、半導体層と、前記半導体層上に形成された複数のゲート電極とを有する薄膜トランジスタであって、前記半導体層は、間隔を開けて設けられ、ソース／ドレイン領域として機能する第 1 高濃度不純物領域および第 2 高濃度不純物領域と、前記第 1 高濃度不純物領域と第 2 高濃度不純物領域との間に位置し、それぞれが前記複数のゲート電極のそれぞれに対向するように設けられた複数のチャンネル領域と、前記複数のチャンネル領域のうち、隣接する 2 つのチャンネル領域の間に設けられた中間領域と、前記複数のチャンネル領域のうち前記第 1 高濃度不純物領域の最も近くに位置するチャンネル領域である第 1 チャンネル領域と前記第 1 高濃度不純物領域との間に位置する第 1 低濃度不純物領域と、前記複数のチャンネル領域のうち前記第 2 高濃度不純物領域の最も近くに位置するチャンネル領域である第 2 チャンネル領域と前記第 2 高濃度不純物領域との間に位置する第 2 低濃度不純物領域とを有し、前記第 1 チャンネル領域および第 2 チャンネル領域のそれぞれは、第 1 のイントリンシックチャンネル領域および第 2 のイントリンシックチャンネル領域を有する。

## 【 0 0 3 6 】

好ましい実施形態において、前記第 1 のイントリンシックチャンネル領域および第 2 のイントリンシックチャンネルは、前記ゲート電極によって実質的に覆われている。

## 【 0 0 3 7 】

好ましい実施形態において、前記第 1 チャンネル領域および第 2 チャンネル領域のそれぞれは、前記第 1 のイントリンシックチャンネル領域と前記中間領域との間、および前記第 2 のイントリンシックチャンネル領域と前記中間領域との間に位置するドーパドチャンネル領域を有している。

## 【 0 0 3 8 】

好ましい実施形態において、前記第 1 チャンネル領域の前記ドーパドチャンネル領域、第 2 チャンネル領域の前記ドーパドチャンネル領域、および前記中間領域には、所定の濃度を有する第 1 導電型の不純物が選択的にドーパされている。

## 【 0 0 3 9 】

好ましい実施形態において、前記第 1 低濃度不純物領域の長さとは前記第 2 低濃

度不純物領域の長さとは実質的に等しい。

【 0 0 4 0 】

好ましい実施形態において、前記第 1 のイントリンシックチャネル領域の長さ  
と、前記第 2 のイントリンシックチャネル領域の長さとは実質的に等しい。

【 0 0 4 1 】

好ましい実施形態において、前記第 1 のイントリンシックチャネル領域および  
前記第 2 のイントリンシックチャネル領域の長さは、前記中間領域の長さ、前記  
第 1 低濃度不純物領域の長さ、および第 2 低濃度不純物領域の長さよりも短い。

【 0 0 4 2 】

本発明の薄膜トランジスタの製造方法は、絶縁性基板上に半導体薄膜を形成す  
る工程と、前記半導体薄膜における第 1 領域に第 1 導電型の第 1 不純物を選択的  
にドーピングする工程と、前記半導体薄膜上において、前記第 1 領域および前記第 1  
領域の外側領域を覆うゲート電極を形成する工程と、前記ゲート電極を形成した  
後、前記ゲート電極をマスクとして、前記第 1 領域と前記第 1 領域の外側領域と  
を含む第 2 領域に、第 2 導電型の第 2 不純物をドーピングする工程と、

前記第 1 領域と、前記ゲート電極によって覆われる領域とを含む第 3 領域の外  
側において、前記第 3 領域と所定間隔離れるように規定された第 4 領域に第 2 導  
電型の第 3 不純物を選択的にドーピングする工程とを包含する。

【 0 0 4 3 】

本発明のアクティブマトリクス型液晶表示装置は、上記何れかに記載の薄膜ト  
ランジスタ、前記薄膜トランジスタの第 1 高濃度不純物領域と電氣的に接続され  
る信号配線、前記ゲート電極に電氣的に接続されるゲート配線、および前記薄膜  
トランジスタの第 2 高濃度不純物領域と電氣的に接続される画素電極が形成され  
た基板と、記画素電極の電位に応じて光学状態を変化させる液晶層と備える。

【 0 0 4 4 】

なお、「第 1 導電型」および「第 2 導電型」の用語は、n 型および p 型を区別  
するものとして用いられており、n 型および p 型のうちの一方を「第 1 導電型」  
と称し、他方を「第 2 導電型」と称する。第 1 導電型は n 型または p 型の何れか  
であり、第 2 導電型は p 型または n 型の何れかである。

【 0 0 4 5 】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施形態を説明する。

【 0 0 4 6 】

(実施形態 1)

図 1 は、実施形態 1 の薄膜トランジスタ 1 0 が形成された、アクティブマトリクス型液晶表示装置用の T F T 基板（アクティブマトリクス基板）の 1 画素領域に対応する部分を示す。画素領域は、画素電極 6 に信号電圧を供給するための信号配線 2 と、ゲート電極 1 8 に走査信号を供給するためのゲート配線 4 とによって囲まれている。

【 0 0 4 7 】

信号配線 2 とゲート配線 4 との交差部の近傍には、画素駆動用のスイッチング素子として形成されたマルチゲート型の T F T 1 0 が設けられている。T F T 1 0 のソースは、信号配線 2 と電氣的に接続されている。また、T F T 1 0 を構成している一对のゲート電極 1 8 a および 1 8 b は、ゲート配線 4 から延びている。T F T 1 0 のドレインは、画素電極 6 と電氣的に接続されている。

【 0 0 4 8 】

図 1 に示す形態では、T F T 1 0 のドレインに接続されたドレイン電極 8 と、このドレイン電極 8 に対向するように形成された電極部を有する補助容量配線 9 とを用いて、図 1 において斜線で示す領域に補助容量  $C_s$  が形成されている。ただし、補助容量は別の形態で形成されていてもよい。また、図 1 に示す形態では、T F T 1 0 のドレインは、ドレイン電極 8 を介して画素電極 6 に電氣的に接続されているが、T F T 1 0 のドレインと画素電極 6 とが直接接続されていても良い。

【 0 0 4 9 】

以下、図 2 および図 3 を参照しながら、実施形態 1 の T F T 1 0 の構成を説明する。なお、以下には、例として、n チャネル型の T F T の実施形態を説明するが、本発明はこれに限られず、p チャネル型の T F T であってもよい。

【 0 0 5 0 】



TFT 10は、石英基板などの絶縁性基板12上に形成されており、多結晶シリコンなどから形成される半導体層14と、半導体層14上にゲート絶縁膜16を介して形成された一対のゲート電極18とを備えている。一対のゲート電極18aおよび18bは、半導体層14の中央寄りの位置において互いに対して間隔を開けて設けられており、それぞれが半導体層14を横切るように延びている。

#### 【0051】

半導体層14において、各ゲート電極18aおよび18bの下側には、それぞれチャネル領域20aおよび20bがゲート電極18aおよび18bに対して自己整合的に形成されている。TFT 10の閾値電圧を所望の値に設定するために、チャネル領域にはBイオンなどのp型の不純物がドーピングされている。図2に示すように、チャネル長Lは、ゲート電極18のサイズによって決まり、チャネル幅Wは、半導体層14のサイズによって決まる。

#### 【0052】

半導体層14の端部寄りの位置において、チャネル領域20aおよび20bを挟むようにして、n型の高濃度不純物領域28aおよび28bが設けられている。第1高濃度不純物領域28aおよび第2高濃度不純物領域28bは、TFT 10のソース領域およびドレイン領域として機能する。

#### 【0053】

n型第1高濃度不純物領域（ソース領域）28aと、これに近い方の第1チャネル領域20aとの間には、キャリア濃度の異なる2種類のn型低濃度不純物領域24aおよび26aが設けられており、これらによってLDD領域が構成されている。ソース領域28aに隣接する側の第1低濃度不純物領域26aのキャリア濃度に比べて、チャネル領域20aに隣接する側の第3低濃度不純物領域24aのキャリア濃度は低くなっている。

#### 【0054】

同様に、第2高濃度不純物領域（ドレイン領域）28bと、これに近い方の第2チャネル領域20bとの間には、キャリア濃度の異なる2種類の低濃度不純物領域24bおよび26bが設けられており、これらによってLDD領域が構成されている。ドレイン領域28bに隣接する側の第2低濃度不純物領域26bのキ

キャリア濃度に比べて、チャネル領域 2 0 b に隣接する側の第 4 低濃度不純物領域 2 4 b のキャリア濃度は低くなっている。

【 0 0 5 5 】

また、チャネル領域 2 0 a および 2 0 b の間には、n 型の間領域 2 2 が形成されている。

【 0 0 5 6 】

半導体層 1 4 に形成された各領域のキャリア濃度は、各領域にドーピングされる n 型不純物および／または p 型不純物の濃度によって決まる。キャリア濃度は、ドーピングされている n 型不純物の濃度  $N_D$  と p 型不純物の濃度  $N_A$  との差 ( $N_D - N_A$ ) の絶対値で表され、各領域のキャリア濃度は、例えば、図 6 (d) に示されるようなプロファイルを示す。各領域のキャリア濃度は、好ましくは、以下に示すように設定される。

ソース領域 2 8 a = ドレイン領域 2 8 b > 第 1 低濃度不純物領域 2 6 a = 第 2 低濃度不純物領域 2 6 b > 第 3 低濃度不純物領域 2 4 a = 第 4 低濃度不純物領域 2 4 b = 中間領域 2 2

【 0 0 5 7 】

このように、TFT 1 0 では、ドレイン領域 2 8 b とチャネル領域 2 0 b との間に、2 種類のキャリア濃度を有する低濃度不純物領域 2 4 b および 2 6 b が形成され、よりゆるやかなキャリア濃度分布が実現される。これにより、ドレイン端での電界集中が小さくなり、リーク電流を低減することができる。

【 0 0 5 8 】

また、チャネル領域 2 0 b と隣接する部分に第 4 低濃度不純物領域 2 4 b を設けたことによって、ドレイン領域 2 8 b と隣接する第 2 低濃度不純物領域 2 6 b のキャリア濃度を比較的高くした場合にも、リーク電流を低く抑えることができる。このようにすれば、第 2 低濃度不純物領域 2 6 b のキャリア濃度を従来の 1 段で形成された LDD 領域のそれよりも高く設定することが可能である。

【 0 0 5 9 】

このように、低濃度不純物領域 2 4 b および 2 6 b を設け、それぞれの領域のキャリア濃度を適切に制御すれば、従来の 1 段の LDD 構造を有する TFT に比

べて、低リーク電流化と高オン電流化とを両立させやすくなる。これにより、リーク電流を適切に抑制しつつTFT10のオン電流を実質的に高くすることが可能になる。

#### 【0060】

次に、半導体層14における各領域の長さについて説明する。なお、各領域の長さとは、半導体層14におけるドレイン領域からソース領域に向かう方向（あるいは、ドレイン領域からソース領域に向かう方向）における長さ寸法を意味している。図3には、チャンネル長 $L$ とともに、第1低濃度不純物領域26aの長さ $L_1$ 、第2低濃度不純物領域26bの長さ $L_2$ 、第3低濃度不純物領域24aの長さ $L_3$ 、第4低濃度不純物領域24bの長さ $L_4$ 、および中間領域の長さ $L_i$ が示されている。

#### 【0061】

アクティブマトリクス型液晶表示装置では、TFTのドレインに接続されている液晶容量および補助容量に対して充電と放電とが行なわれる。このため、電流は、TFTのドレインーソース間を双方向に流れ得る。この場合、TFTの特性は対称性を有していることが望ましい。このため、第1低濃度不純物領域26aの長さ $L_1$ ＝第2低濃度不純物領域26bの長さ $L_2$ であることが望ましい。また、第3低濃度不純物領域24aの長さ $L_3$ ＝第4低濃度不純物領域24bの長さ $L_4$ であることが望ましい。

#### 【0062】

このように、本実施形態のTFTでは、第1低濃度不純物領域のキャリア濃度および長さ、第2低濃度不純物領域のキャリア濃度および長さ、ソースドレイン方向においてこれらが対称性を有していることが望ましい。また、第3低濃度不純物領域のキャリア濃度および長さ、第4低濃度不純物領域のキャリア濃度および長さ、ソースドレイン方向においてこれらが対称性を有していることが望ましい。

#### 【0063】

また、オン電流を大きくするためには、中間領域の長さ $L_i$ が比較的短いほうが良く、LDD領域の長さよりも短いことが好ましい。すなわち、 $L_1 + L_3 >$

L i であることが望ましい。また、 $L 2 + L 4 > L i$  であることが望ましい。

【 0 0 6 4 】

以下、図 4 および図 5 を参照しながら、T F T 1 0 を有するアクティブマトリクス型液晶表示装置用 T F T 基板の製造工程の実施例を説明する。

【 0 0 6 5 】

まず、図 4 ( a ) に示すように、石英などを用いて形成される絶縁性基板 1 2 上に、L P C V D 法 ( 減圧 C V D 法 ) で a - S i ( 非晶質シリコン ) 薄膜を約 4 5 n m の厚さで形成する。a - S i 薄膜を形成するための原料ガスとしては、例えば、 $S i_2 H_6$  を用いることができる。なお、a - S i 薄膜は、プラズマ C V D 法を用いて 1 5 0 ~ 2 5 0 ° C 程度の温度で形成してもよい。

【 0 0 6 6 】

形成された a - S i 薄膜を、窒素雰囲気中で、6 0 0 ° C 程度の温度で 2 4 h 程度アニールすることによって、大粒径化された多結晶シリコン ( P o l y - S i ) 薄膜 4 0 を形成する。

【 0 0 6 7 】

なお、上述のような方法とは異なり、基板 1 2 上に、L P C V D 法を用いて P o l y - S i 薄膜 4 0 を成膜してもよい。この場合、必要に応じて、さらに S i イオンをイオン注入して一旦非晶質化させ、次に 6 0 0 ° C 程度の炉アニールで P o l y - S i 薄膜を大粒径化してもよい。また、このようにして形成された P o l y - S i 薄膜 4 0 に対して、さらにレーザーアニールを行ない、結晶性を改善させてもよい。

【 0 0 6 8 】

次に、図 4 ( b ) に示すように、P o l y - S i 薄膜 4 0 をパターニングし、各画素に対応して設けられる素子形成領域に選択的に残す。これによって T F T の半導体層 1 4 が形成される。なお、半導体層を形成する材料は P o l y - S i に限られない。

【 0 0 6 9 】

次に、図 4 ( c ) に示すように、半導体層 1 4 の端部寄りの領域を選択的に覆うように形成されたフォトリジスト 4 2 をマスクとして、 $B^+$  イオンを  $1 \times 10^{11}$

$1 \sim 5 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量で所定の領域 R 1 に注入する（イオン注入 A）。このように、本実施形態では、半導体層 1 4 において、T F T のチャネル領域を含むように選択された所定の領域 R 1 のみに p 型不純物をドーブする。なお、 $\text{B}^+$ イオンに代えて  $\text{BF}_2^+$ イオンを用いても良い。

## 【 0 0 7 0 】

次に、図 4（d）に示すように、半導体層 1 4 の全体を覆うように、H T O（High Temperature Oxide）を約 8 0 n m の厚みで堆積し、ゲート絶縁膜 1 6 を形成する。なお、半導体層 1 4 の表面部を酸化することによってゲート絶縁膜 1 6 を形成してもよい。

## 【 0 0 7 1 】

次に、図 4（e）に示すように、上記  $\text{B}^+$ イオンを注入した領域 R 1（図 4（c））の上方に、互いに間隔を開けて設けられた一対のゲート電極 1 8 a および 1 8 b を形成する。ゲート電極 1 8 a および 1 8 b のそれぞれは、p 型不純物がドーブされた領域 R 1 を覆うように形成される。また、ゲート電極 1 8 a および 1 8 b のそれぞれは、所定の方向において p 型不純物がドーブされた領域 R 1 の境界から所定間隔だけ内側に離れた位置にゲート電極 1 8 a および 1 8 b の外側の端部 1 8 e が位置するように形成される。ゲート電極 1 8 a および 1 8 b は、図において紙面と略垂直な方向に延びており、好適には、半導体層 1 4 を横切っている。

## 【 0 0 7 2 】

このゲート電極 1 8 a および 1 8 b は、例えば、ゲート酸化膜 1 6 上に L P C V D 法で P o l y - S i 薄膜を 4 0 0 n m の厚みで成膜した後、P O C l <sub>3</sub> ガスから燐をドーピングすることによって低抵抗 P o l y - S i 薄膜を形成し、このよう形成した導電膜をパターニングすることによって形成される。なお、この導電膜をパターニングする工程において、図 1 に示したゲート配線および補助容量配線も、ゲート電極 1 8 a および 1 8 b と同時に形成されて良い。

## 【 0 0 7 3 】

後述するように、p 型不純物がドーブされた領域 R 1 のうち、一対のゲート電極 1 8 a および 1 8 b によって覆われる領域が T F T のチャネル領域となる。各

チャンネル領域におけるチャンネル長 $L$ は、各ゲート電極のサイズによって決まる。チャンネル長 $L$ は、例えば約 $1.5\mu\text{m}$ に設定される。なお、チャンネル幅 $W$ （図2参照）は、例えば約 $1\mu\text{m}$ に設定される。

## 【0074】

ゲート電極間の距離は、半導体層14においてチャンネル領域間に設けられた領域である中間領域の長さを実質的に規定する。中間領域の長さ $L_i$ は、例えば、約 $1\mu\text{m}$ に設定される。また、半導体層14における領域R1の境界位置とゲート電極の外側の端部18eに対応する位置との間の距離 $L_3$ および $L_4$ は、後述する第3低濃度不純物領域24aおよび第4低濃度不純物領域24bの長さに相当する。この長さ $L_3$ と長さ $L_4$ とが等しいことが望ましく、 $L_3$ および $L_4$ は、例えば、約 $0.75\mu\text{m}$ に設定される。

## 【0075】

次に、図4（f）に示すように、ゲート電極18aおよび18bをマスクとして $P^+$ イオンを $5 \times 10^{12} \sim 5 \times 10^{13} \text{cm}^{-2}$ 程度のドーズ量で注入する（イオン注入B）。 $P^+$ イオンに代えて $As^+$ イオンをドーピングしてもよい。半導体層14には、ゲート電極18aおよび18bの下方の領域を除き、n型不純物がドーピングされた領域がゲート電極18aおよび18bに対して自己整合的に形成される。

## 【0076】

上述のように半導体層14には、ゲート電極を形成した後、p型不純物がドーピングされた領域R1および領域R1の外側領域を含む第2領域R2（本実施形態では、半導体層14の全面）にn型不純物がドーピングされる。このn型不純物のドーズ量は、上記p型不純物のドーズ量よりも実質的に大きい。これにより、ゲート電極によって覆われる領域（チャンネル領域20aおよび20b）を除いて、半導体層14には多数キャリアを電子とするn型不純物領域が形成される。p型不純物イオンとn型不純物イオンとの両方が注入された領域には、キャリア濃度が比較的小さい低濃度のn型不純物領域が形成される。この低濃度のn型不純物領域のうち、チャンネル領域20aおよび20bの外側に形成される領域が、第3低濃度不純物領域24aおよび第4低濃度不純物領域24bとなる。また、チャンネル領域20aおよび20b間に形成される領域が、中間領域22となる。

## 【0077】

次に、図5（g）に示すように、ゲート電極18aおよび18b、中間領域22、第3および第4低濃度不純物領域、および第3および第4低濃度不純物領域の外側に近接する領域を覆うレジスト44を形成する。レジスト44は、ゲート電極の端部18eから例えば1.5 $\mu$ m外側まで覆うように形成される。次に、このレジスト44をマスクとして、 $P^+$ イオンを $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入し（イオン注入C）、高濃度不純物領域28aおよび28bを形成する。このときの注入ドーズ量は、上記イオン注入Bにおける注入ドーズ量よりも、実質的に大きい。なお、 $P^+$ イオンに代えて $As^+$ イオンをドーピングしてもよい。

## 【0078】

このように本実施形態では、第3および第4低濃度不純物領域24aおよび24bとして形成された、p型不純物とn型不純物とがドーピングされた領域（すなわち領域R1と領域R2とが重なる領域）の外側においてこの領域と間隔を開けて設けられる領域R3に、比較的高いドーズ量のn型不純物が選択的にドーピングされる。こうして形成された高濃度不純物領域28aおよび28bは、TFTのソース領域およびドレイン領域として機能する。

## 【0079】

また、高濃度不純物領域28aおよび28bと低濃度不純物領域24aおよび24bとの間には、上記イオン注入Bにおいて注入された不純物によってキャリア濃度が決まる第1および第2低濃度不純物領域26aおよび26bが形成される。

## 【0080】

このようにして、ソース領域とチャネル領域との間、およびドレイン領域とチャネル領域との間において、異なるキャリア濃度を有する2つの低濃度不純物領域で構成されたLDDが形成されたマルチゲート型TFT10が完成する。

## 【0081】

その後、上記イオン注入Cで用いたレジスト44を除去した後、図5（h）に示すように、常圧CVD法でBP SG等から形成される絶縁膜46を600nm

の厚さで基板全面上に成膜する。次に、950℃、30分間の窒素雰囲気中で熱処理を施し、半導体層14に注入された不純物の活性化を行う。さらに、半導体層14のソース領域28a及びドレイン領域28b上に第1コンタクトホール48および50を開口した後、AlSiなどから形成される導電膜を約600nmの厚さで形成し、所定の形状にパターニングする。これによって、コンタクトホール48および50を介してソース領域28a及びドレイン領域28bと接続されるソース電極（ソース配線）52およびドレイン電極54が形成される。

## 【0082】

その後、図5(i)に示すように、プラズマCVD法等を用いて基板の全面を覆うように、P-SiNO膜56を約200nmの厚さで形成し、その上に、P-SiO膜57を約700nmの厚さで形成する。次に、アニールを施し、P-SiNO膜56中の水素をPoly-Si薄膜中に拡散させて水素化する。さらに、ドレイン電極54上に第2コンタクトホール58を開口し、ITO（インジウム錫酸化物）等から形成される透明導電膜を約150nmの厚さで形成し、これを所定の形状にパターニングすることによって画素電極59を形成する。

## 【0083】

上記の製造方法における個別の工程（膜の堆積およびパターニング工程やイオン注入工程等）は、公知の方法を用いて行なうことができる。

## 【0084】

このようにすれば、イオン注入A：ゲート電極形成前の閾値電圧制御用のイオン注入、イオン注入B：ゲート電極形成後の低濃度イオン注入、イオン注入C：ゲート電極形成後の高濃度イオン注入によって、TFT10を比較的容易な製造プロセスで作製することができる。イオン注入A～Cを行なうことによって、TFT10の半導体層14の各領域にドーパされる不純物を下記表1に示す。

## 【0085】



【表 1】

○：注入有り

領域	注入A B <sup>+</sup> または B F <sub>2</sub> <sup>+</sup>	注入B P <sup>+</sup> または A s <sup>+</sup>	注入C P <sup>+</sup> または A s <sup>+</sup>
チャンネル領域	○		
中間領域	○	○	
第1及び第2低濃度不純物領域		○	
第3及び第4低濃度不純物領域	○	○	
第1及び第2高濃度不純物領域		○	○

## 【0086】

上述したように、各イオン注入工程における注入量（ドーズ量）は、好ましくは、注入Aにおける注入量（注入量A）： $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 、注入Bにおける注入量（注入量B）： $5 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 、注入Cにおける注入量（注入量C）： $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ であり、好ましくは、注入量C＞注入量B＞注入量Aである。

## 【0087】

図6に、各領域においてドーピングされた不純物の濃度プロファイルを示す。図6（a）にTFTの断面を示し、図6（b）に各領域においてドーピングされたn型不純物の濃度（ $N_D$ ）プロファイルを示し、図6（c）に各領域においてドーピングされたp型不純物の濃度（ $N_A$ ）プロファイルを示し、図6（d）に各領域においてドーピングされたn型不純物の濃度とp型不純物の濃度との差（ $N_D - N_A$ ）の絶対値（すなわち、キャリア濃度）を示す。

## 【0088】

図6（b）に示すように、チャンネル領域20aおよび20bを除く各領域にn型不純物がドーピングされており、第1～第4低濃度不純物領域24a、24b、26a、26b、および中間領域22における不純物濃度 $N_D$ は実質的に等しく、第1および第2高濃度不純物領域28aおよび28bにおける不純物濃度 $N_D$ は

これよりも高い。また、図 6 (c) に示すように、p 型不純物は、第 3 および第 4 低濃度不純物領域、チャネル領域 2 0 a および 2 0 b、および中間領域 2 2 に選択的にドーピングされており、これらの領域における不純物濃度  $N_A$  は実質的に等しい。これにより、半導体層におけるキャリア濃度 ( $N_D - N_A$ ) は、図 6 (d) に示すように、高濃度不純物領域 2 8 a および 2 8 b とチャネル領域 2 0 a および 2 0 b との間において、2 段階で低下することになる。

## 【 0 0 8 9 】

なお、上記実施形態では、n チャネル型 T F T を説明したが、本発明の T F T は、p チャネル型 T F T であっても良い。p チャネル型 T F T の場合は、注入 A において注入するイオンを  $P^+$  または  $As^+$  にし、注入 B および注入 C において注入するイオンを  $B^+$  または  $BF_2^+$  にすれば良い。

## 【 0 0 9 0 】

図 1 5 は、上記 T F T 1 0 を備える T F T 基板 1 0 0 a を用いて構成されたアクティブマトリクス型液晶表示装置 (L C D) 1 0 0 を示す。L C D 1 0 0 は、T F T 基板 1 0 0 a と、対向基板 1 0 0 b と、T F T 基板 1 0 0 a と対向基板 1 0 0 b との間に挟持された液晶層 1 0 0 c とを有している。なお、対向基板 1 0 0 b は、絶縁基板と、絶縁基板上に形成された対向電極 (共通電極) とを有している。

## 【 0 0 9 1 】

一般的な T N モードの液晶表示装置の場合、T F T 基板 1 0 0 a および対向基板 1 0 0 b の液晶層 1 0 0 c 側の表面に配向膜 (不図示) が設けられ、T F T 基板 1 0 0 a および対向基板 1 0 0 b のそれぞれの外側に偏光板 (不図示) が設けられる。表示モードによっては、配向膜や偏光板を省略することができる。また、カラー表示を行なうために、対向基板 1 0 0 b にカラーフィルタ (不図示) が設けられていても良い。

## 【 0 0 9 2 】

## (実施形態 2)

図 7 を参照しながら実施形態 2 の T F T 6 0 を説明する。実施形態 2 の T F T 6 0 が実施形態 1 の T F T 1 0 と異なる点は、3 つのゲート電極 1 8 a、1 8 b

、18c、およびこれに対応する3つのチャネル領域20a、20b、20cが設けられていることである。半導体層14において、各チャネル領域20a、20b、20cの間には中間領域22aおよび22bが設けられている。なお、実施形態1のTF T 1 0と実質的に同様の機能を有する構成要素を同じ参照符号で示し、ここでは説明を省略する。

#### 【0093】

TF T 6 0では、第1高濃度不純物領域（ソース領域）28aと、これに近接するチャネル領域20aとの間において、キャリア濃度の異なる2つの低濃度不純物領域24aおよび26aが形成される。また、第2高濃度不純物領域（ドレイン領域）28bと、これに近接するチャネル領域20bとの間において、キャリア濃度の異なる2つの低濃度不純物領域24bおよび26bが形成される。

#### 【0094】

中央のゲート電極18cに対応して設けられたチャネル領域20cとチャネル領域20aとの間、およびチャネル領域20cとチャネル領域20bとの間には、それぞれ中間領域20aおよび20bが設けられている。中間領域20aおよび20bは、低濃度不純物領域24aおよび24bと同様の不純物濃度プロファイルを有している。これらの中間領域において、キャリア濃度の異なる2種類の低濃度不純物領域が形成されている必要はない。

#### 【0095】

なお、TF T 6 0も、上記実施形態1のTF T 1 0の製造方法と同様の方法によって作製することができる。

#### 【0096】

##### （実施形態3）

図8を参照しながら実施形態3のTF T 7 0の構成を説明する。なお、実施形態1のTF T 1 0と実質的に同様の機能を有する構成要素を同じ参照符号で示し、ここでは説明を省略する。また、以下には、例として、nチャネル型TF Tの実施形態を説明するが、本発明はこれに限られずpチャネル型TF Tであってもよい。

#### 【0097】

T F T 7 0 の半導体層 1 4 において、ゲート電極 1 8 a の下側には、第 1 ドープドチャネル領域 7 2 a および第 1 イントリンシックチャネル領域 7 4 a が形成されている。第 1 イントリンシックチャネル領域 7 4 a は、チャネル領域において、ソース領域（n 型第 1 高濃度不純物領域）2 8 a に近い側に形成されている。また、ゲート電極 1 8 b の下側には、第 2 ドープドチャネル領域 7 2 b および第 2 イントリンシックチャネル領域 7 4 b が形成されている。第 2 イントリンシックチャネル領域 7 4 b は、チャネル領域において、ドレイン領域（n 型第 2 高濃度不純物領域）2 8 b に近い側に形成されている。また、第 1 ドープドチャネル領域 7 2 a と第 2 ドープドチャネル領域 7 2 b との間には、n 型の間領域 2 2 が形成されている。

【 0 0 9 8 】

ドープドチャネル領域 7 2 a および 7 2 b には、T F T 1 0 の閾値電圧を所望の値に設定するために、B イオンなどの p 型の不純物がドーピングされている。一方、イントリンシックチャネル領域 7 4 a および 7 4 b には、このような不純物はドーピングされていない。ただし、イントリンシックチャネル領域 7 4 a および 7 4 b には、半導体層形成工程や不純物拡散工程などにおいて混入する不可避免的な不純物が存在していても良い。

【 0 0 9 9 】

また、ソース領域 2 8 a と、これに近い方の第 1 イントリンシックチャネル領域 7 4 a との間には、n 型の第 1 低濃度不純物領域 7 6 a が設けられおり、ドレイン領域 2 8 b と、これに近い方の第 2 イントリンシックチャネル領域 7 4 b との間には、n 型の第 2 低濃度不純物領域 7 6 b が設けられている。第 1 低濃度不純物領域 7 6 a のキャリア濃度は、ソース領域 2 8 a のキャリア濃度より小さく設定され、第 2 低濃度不純物領域 7 6 b のキャリア濃度は、ドレイン領域 2 8 b のキャリア濃度より小さく設定される。

【 0 1 0 0 】

このように、T F T 7 0 では、ドレイン領域 2 8 b とドープドチャネル領域 7 2 b との間に第 2 低濃度不純物領域 7 6 b および第 2 イントリンシックチャネル領域 7 4 b が形成されており、よりゆるやかなキャリア濃度分布が実現される。

これにより、ドレイン端での電界集中が小さくなり、リーク電流を低減することができる。また、第2ドープドチャネル領域72bと隣接する部分にイントリンシック領域74bを設け、リーク電流を抑制することによって、ドレイン領域28bと隣接する第2低濃度不純物領域76bのキャリア濃度を比較的高く設定することが可能である。このようにして、TFT70では、実施形態1のTFT10と同様、リーク電流を適切に抑制しつつオン電流を実質的に高くすることが可能になる。

#### 【0101】

本実施形態のTFT70においても、ドレインーソース間を電流が双方向に流れ得る。この場合、TFT70の特性は対称性を有していることが望ましい。このため、第1低濃度不純物領域76aの長さと、第2低濃度不純物領域76bの長さとが実施的に等しいことが望ましい。また、第1イントリンシックチャネル領域74aの長さと、第2イントリンシックチャネル領域74bの長さとが実施的に等しいことが望ましい。

#### 【0102】

また、オン電流を大きくするためには、高抵抗を有する第1および第2イントリンシック領域の長さは比較的短い方がよい。このため、第1および第2イントリンシック領域の長さは、第1および第2低濃度不純物領域の長さよりも短い方が好ましく、また、中間領域の長さよりも短いことが好ましい。

#### 【0103】

以下、図9および図10を参照しながら、TFT70を有するアクティブマトリクス型液晶表示装置用TFT基板の製造工程の実施例を説明する。なお、図4および図5において示した実施形態1のTFT10を製造するための工程と実質的に同様の工程については、ここでは詳細な説明を省略する。

#### 【0104】

まず、図9(a)および(b)に示すように、実施形態1と同様の工程によって、絶縁性基板12上に半導体層14を形成する。

#### 【0105】

次に、図9(c)に示すように、半導体層14の端部寄りの領域を選択的に覆

うように形成されたフォトリソレジスト 8 0 をマスクとして、 $B^{+}$  イオンを  $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$  程度のドーズ量で所定の領域 R 1 にイオン注入する（イオン注入 A）。このように、本実施形態では、半導体層 1 4 において選択された所定の領域 R 1 のみに p 型不純物イオンを注入する。

#### 【0106】

次に、図 9（d）に示すように、実施形態 1 と同様の工程によって、半導体層 1 4 を覆うゲート絶縁膜 1 6 を形成する。

#### 【0107】

次に、図 9（e）に示すように、半導体層 1 4 上に、互いに間隔を開けて設けられた一対のゲート電極 1 8 a および 1 8 b を形成する。ゲート電極 1 8 a および 1 8 b のそれぞれは、p 型不純物がドーピングされた領域 R 1 の境界を覆うように（すなわち、領域 R 1 と、領域 R 1 の外側領域との両方を覆うように）形成される。

#### 【0108】

領域 R 1 のうち、一対のゲート電極 1 8 a および 1 8 b によって覆われる領域が T F T のドーピングドチャネル領域となる。また、領域 R 1 の外側の領域のうち、一対のゲート電極 1 8 a および 1 8 b によって覆われる領域が T F T のイントリンシックチャネル領域となる。ドーピングドチャネル領域の長さおよびイントリンシックチャネル領域の長さは、ゲート電極の幅や、ゲート電極と領域 R 1 との位置関係によって決定される。例えば、ゲート電極の幅を約  $1.5 \mu\text{m}$  に設定した場合、ドーピングドチャネルの長さが約  $0.75 \mu\text{m}$  となるように、ゲート電極と領域 R 1 との位置関係が制御される。また、中間領域の長さは、ゲート電極 1 8 a および 1 8 b 間の距離によって決まる。中間領域の長さは、例えば、約  $1 \mu\text{m}$  に設定される。

#### 【0109】

次に、図 9（f）に示すように、ゲート電極 1 8 a および 1 8 b をマスクとして、領域 R 1 および領域 R 1 の外側領域を含む第 2 領域 R 2（本実施形態では、半導体層 1 4 の全面）に、 $P^{+}$  イオンを  $5 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$  程度のドーズ量で注入する（イオン注入 B）。 $P^{+}$  イオンに代えて  $As^{+}$  イオンを注入して

もよい。

#### 【0 1 1 0】

この工程において、p型不純物領域であるドーブドチャネル領域7 2 a および7 2 b 間に、n型の間領域2 2 がセルフアライメントで形成される。また、イントリンシックチャネル領域7 4 a および7 4 b の外側に、セルフアライメントでn型低濃度不純物領域が形成される。

#### 【0 1 1 1】

次に、図1 0 (g) に示すように、ゲート電極1 8 a および1 8 b、中間領域2 2、およびイントリンシックチャネル領域7 4 a および7 4 b の外側に近接するn型低濃度不純物領域7 6 a および7 6 b を覆うレジスト8 2 を形成する。レジスト8 2 は、ゲート電極の端部1 8 e から例えば1. 5  $\mu$  m 外側まで覆うように形成される。次に、このレジスト8 2 をマスクとして、 $P^+$ イオンを $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量で注入し（イオン注入C）、第1高濃度不純物領域（ソース領域）2 8 a および第2高濃度不純物領域（ドレイン領域）2 8 b を形成する。

#### 【0 1 1 2】

このようにして、ソース領域と第1ドーブドチャネル領域との間、およびドレイン領域と第2ドーブドチャネル領域との間において、低濃度不純物領域とイントリンシックチャネル領域とを有するマルチゲート型T F T 7 0 が完成する。

#### 【0 1 1 3】

なお、上述の実施形態3のT F T 7 0 の製造工程は、図9 (c) に示すイオン注入A工程においてマスク4 2（図4 (c) 参照）に代えてマスク8 0 を用いることを除き、他の工程を全て実施形態1のT F T 1 0 の製造工程と同様に行なうことができる。

#### 【0 1 1 4】

その後、図1 0 (h) に示すように、実施形態1と同様の工程によって、ソース領域2 8 a 及びドレイン領域2 8 b と接続されるソース電極（ソース配線）5 2 およびドレイン電極5 4 を形成する。その後、図1 0 (g) に示すように、実施形態1と同様の工程によって、I T O（インジウム錫酸化物）等から形成され

る画素電極 5 9 を形成する。

【0 1 1 5】

このように、イオン注入 A ～ C を行なうことによって、T F T 7 0 を比較的容易な製造プロセスで作製することができる。T F T 7 0 の半導体層 1 4 の各領域にドーパされる不純物を下記表 2 に示す。

【0 1 1 6】

【表 2】

○：注入有り

領域	注入 A B <sup>+</sup> または B F <sub>2</sub> <sup>+</sup>	注入 B P <sup>+</sup> または A s <sup>+</sup>	注入 C P <sup>+</sup> または A s <sup>+</sup>
第 1、第 2 ドープドチャネル領域	○		
中間領域	○	○	
第 1 及び第 2 低濃度不純物領域		○	
第 1 及び第 2 イントリニックチャンネル領域			
第 1 及び第 2 高濃度不純物領域		○	○

【0 1 1 7】

上述したように、各イオン注入工程における注入量（ドーズ量）は、好ましくは、注入 A における注入量（注入量 A）： $1 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ 、注入 B における注入量（注入量 B）： $5 \times 10^{12} \sim 5 \times 10^{13} \text{ cm}^{-2}$ 、注入 C における注入量（注入量 C）： $5 \times 10^{14} \sim 5 \times 10^{15} \text{ cm}^{-2}$ であり、好ましくは、注入量 C > 注入量 B > 注入量 A である。

【0 1 1 8】

図 1 1 において、各領域においてドーパされた不純物の濃度プロファイルを示す。図 1 1 (a) に T F T 7 0 の断面を示し、図 1 1 (b) に各領域においてドーパされた n 型不純物の濃度 ( $N_D$ ) プロファイルを示し、図 1 1 (c) に各領域においてドーパされた p 型不純物の濃度 ( $N_A$ ) プロファイルを示し、図 1 1 (d) に各領域においてドーパされた n 型不純物の濃度と p 型不純物の濃度との差 ( $N_D - N_A$ ) の絶対値（すなわち、キャリア濃度）を示す。



## 【 0 1 1 9 】

図 1 1 ( b ) に示すように、ドープドチャネル領域 7 2 a、7 2 b およびイントリンシックチャネル領域 7 4 a および 7 4 b を除く各領域に n 型不純物がドープされており、第 1 および第 2 低濃度不純物領域 7 6 a、7 6 b、および中間領域 2 2 における不純物濃度  $N_D$  は実質的に等しく、第 1 および第 2 高濃度不純物領域 2 8 a および 2 8 b における不純物濃度  $N_D$  はこれよりも高い。また、図 1 1 ( c ) に示すように、p 型不純物は、ドープドチャネル領域 7 2 a および 7 2 b、および中間領域 2 2 に選択的にドープされており、これらの領域における不純物濃度  $N_A$  は実質的に等しい。これにより、半導体層におけるキャリア濃度 ( $N_D - N_A$ ) は、図 1 1 ( d ) に示すように、高濃度不純物領域 2 8 a および 2 8 b とドープドチャネル領域 7 2 a および 7 2 b との間において、2 段階で低下することになる。

## 【 0 1 2 0 】

なお、上記実施形態では、n チャネル型 T F T を説明したが、本発明の T F T は、p チャネル型 T F T であっても良い。p チャネル型 T F T の場合は、注入 A において注入するイオンを  $P^+$  または  $As^+$  にし、注入 B および注入 C において注入するイオンを  $B^+$  または  $BF_2^+$  にすれば良い。

## 【 0 1 2 1 】

## (実施形態 4)

図 1 2 を参照しながら実施形態 4 の T F T 8 5 を説明する。実施形態 4 の T F T 8 5 が実施形態 3 の T F T 7 0 と異なる点は、3 つのゲート電極 1 8 a、1 8 b、1 8 c が設けられていることである。なお、実施形態 3 の T F T 7 0 と実質的に同様の機能を有する構成要素を同じ参照符号で示し、ここでは説明を省略する。

## 【 0 1 2 2 】

T F T 8 5 では、第 1 高濃度不純物領域 (ソース領域) 2 8 a に最も近いチャネル領域 (第 1 ゲート電極 1 8 a の下方に設けられるチャネル領域) において、ドープドチャネル領域 7 2 a およびイントリンシックチャネル領域 7 4 a が設けられている。また、第 2 高濃度不純物領域 (ドレイン領域) 2 8 b に最も近いチ

ャネル領域（第 2 ゲート電極 1 8 b の下方に設けられるチャネル領域）において、ドーパドチャネル領域 7 2 b およびイントリンシックチャネル領域 7 4 b が設けられている。

【 0 1 2 3 】

また、中央のゲート電極 1 8 c に対応して設けられたチャネル領域 7 2 c には、イントリンシックチャネル領域が設けられていない。チャネル領域 7 2 c の不純物濃度プロファイルは、ドーパドチャネル領域 7 2 a および 7 2 b の不純物濃度プロファイルと同様である。

【 0 1 2 4 】

なお、T F T 8 5 も、上記実施形態 3 の T F T 7 0 の製造方法と同様の方法によって作製することができる。

【 0 1 2 5 】

【発明の効果】

本発明によれば、T F T のソースチャネル間及びドレインチャネル間のそれぞれにおいて、異なるキャリア濃度を有する少なくとも 2 つの領域を設けることによって、リーク電流を低減できるとともにオン電流を増大させることができる。また、マルチゲート L D D 構造を有する従来の T F T に比べ、サイズを拡大することなく、また、リーク不良に対する冗長性を損なうこともない。

【 0 1 2 6 】

特に、多結晶シリコンを半導体層に用いた小型・高密度・高精細の T F T 液晶表示装置において本発明の効果は顕著である。

【図面の簡単な説明】

【図 1】

本発明の実施形態 1 による T F T が設けられたアクティブマトリクス基板の模式的な平面図である。

【図 2】

実施形態 1 の T F T の模式的な平面図である。

【図 3】

実施形態 1 の T F T の模式的な断面図である。

【図 4】

実施形態 1 の T F T の製造工程の一例を示す断面図であり、(a) ～ (f) はそれぞれ別の工程を示す。

【図 5】

実施形態 1 の T F T の製造工程の一例を示す断面図であり、(g) ～ (i) はそれぞれ別の工程を示す。

【図 6】

実施形態 1 の T F T にドーピングされた不純物の濃度プロファイルを説明するための図であり、(a) は T F T の断面図を示し、(b) は n 型不純物の濃度プロファイルを示し、(c) は p 型不純物の濃度プロファイルを示し、(d) はキャリア濃度のプロファイルを示す。

【図 7】

本発明の実施形態 2 による T F T の模式的な断面図である。

【図 8】

本発明の実施形態 3 による T F T の模式的な断面図である。

【図 9】

実施形態 3 の T F T の製造工程の一例を示す断面図であり、(a) ～ (f) はそれぞれ別の工程を示す。

【図 1 0】

実施形態 3 の T F T の製造工程の一例を示す断面図であり、(g) ～ (i) はそれぞれ別の工程を示す。

【図 1 1】

実施形態 3 の T F T にドーピングされた不純物の濃度プロファイルを説明するための図であり、(a) は T F T の断面図を示し、(b) は n 型不純物の濃度プロファイルを示し、(c) は p 型不純物の濃度プロファイルを示し、(d) はキャリア濃度のプロファイルを示す。

【図 1 2】

本発明の実施形態 4 による T F T の模式的な断面図である。

【図 1 3】

従来の T F T の模式的な断面図である。

【図 1 4】

従来の T F T の製造工程を示す断面図であり、( a ) ～ ( g ) はそれぞれ別の工程を示す。

【図 1 5】

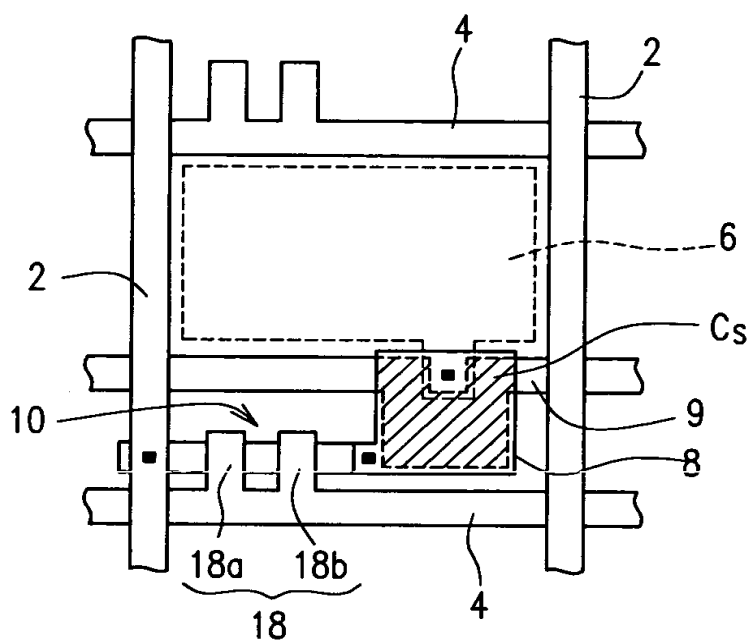
本発明によるアクティブマトリクス型液晶表示装置を模式的に示す断面図である。

【符号の説明】

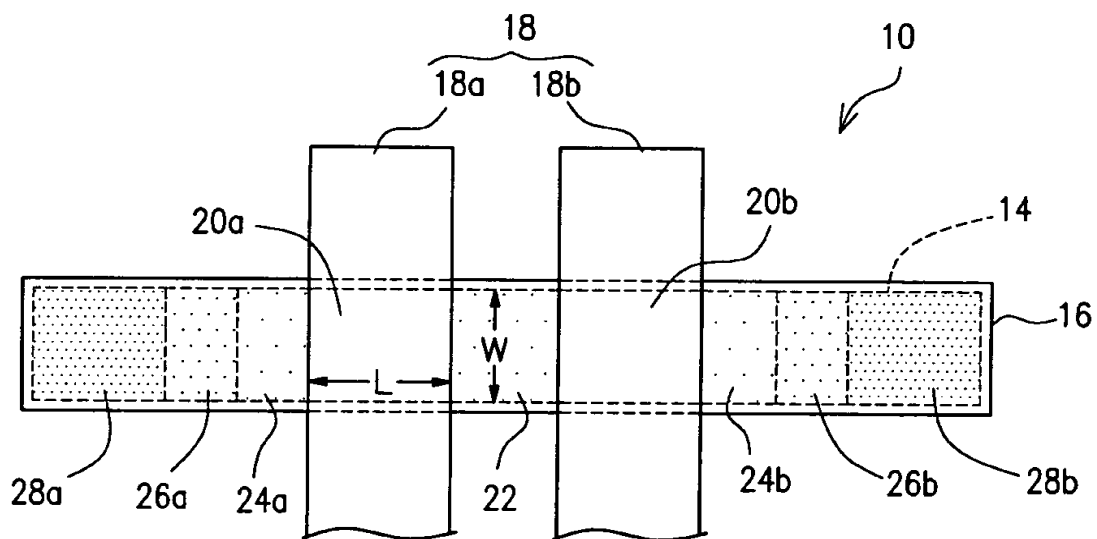
- 1 0 薄膜トランジスタ
- 1 2 絶縁性基板
- 1 4 半導体層
- 1 6 絶縁膜
- 1 8 a , 1 8 b ゲート電極
- 2 0 a , 2 0 b チャネル領域
- 2 2 中間領域
- 2 4 a 第 3 低濃度不純物領域
- 2 4 b 第 4 低濃度不純物領域
- 2 6 a 第 1 低濃度不純物領域
- 2 6 b 第 2 低濃度不純物領域
- 2 8 a 第 1 高濃度不純物領域
- 2 8 b 第 2 高濃度不純物領域

【書類名】 図面

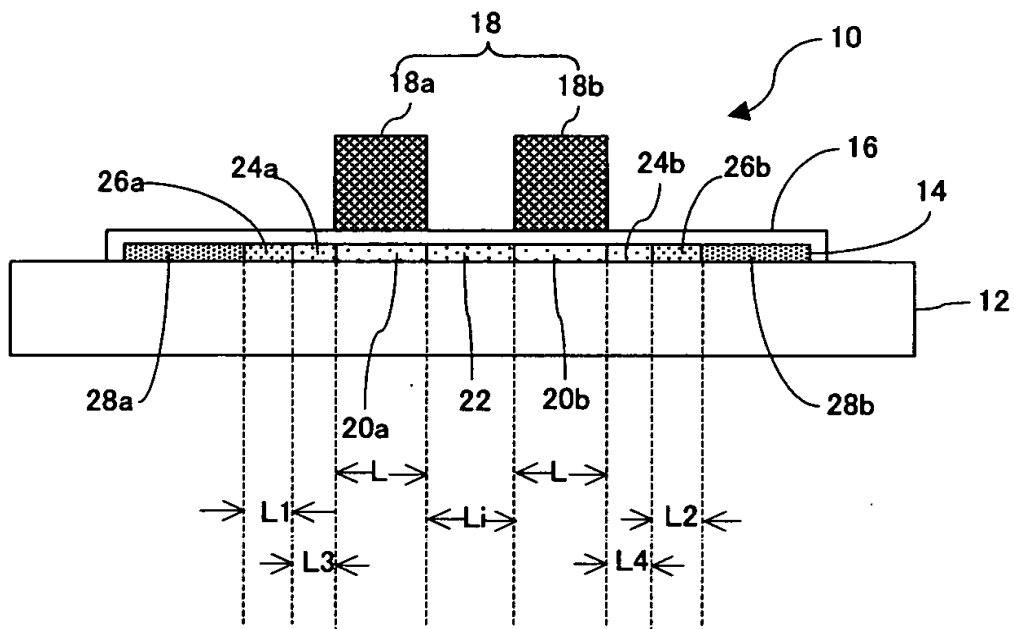
【図 1】



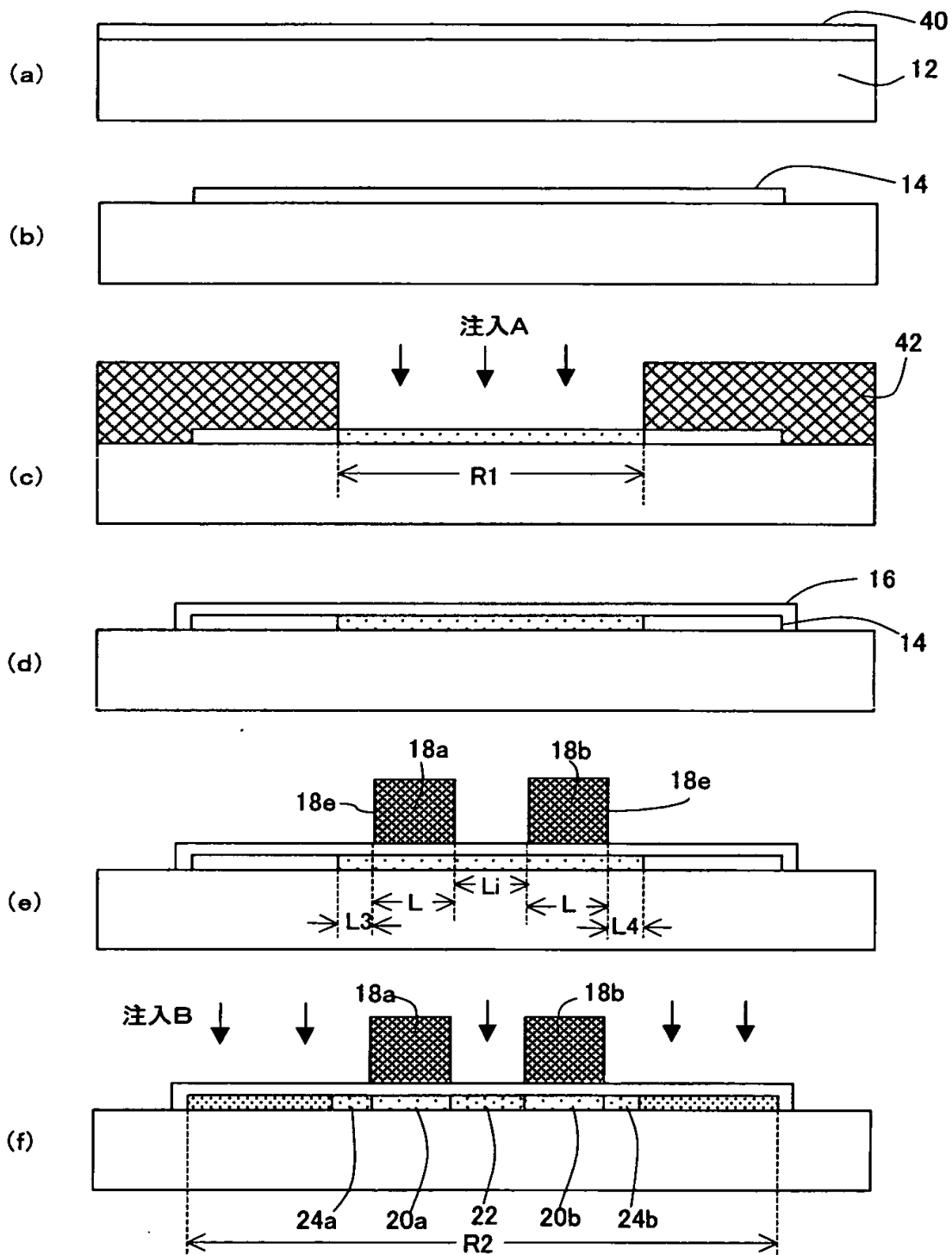
【図 2】



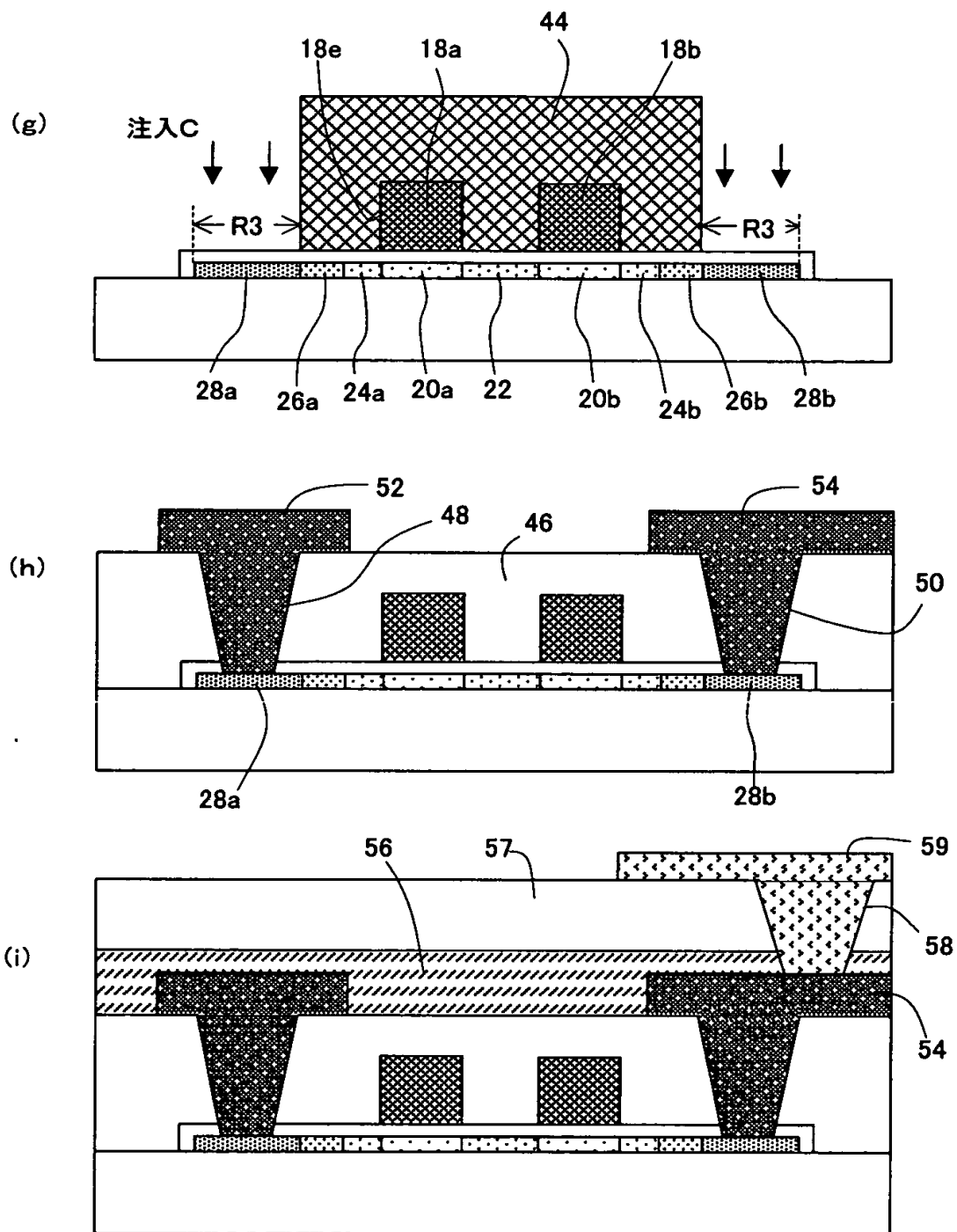
【図 3】



【図 4】

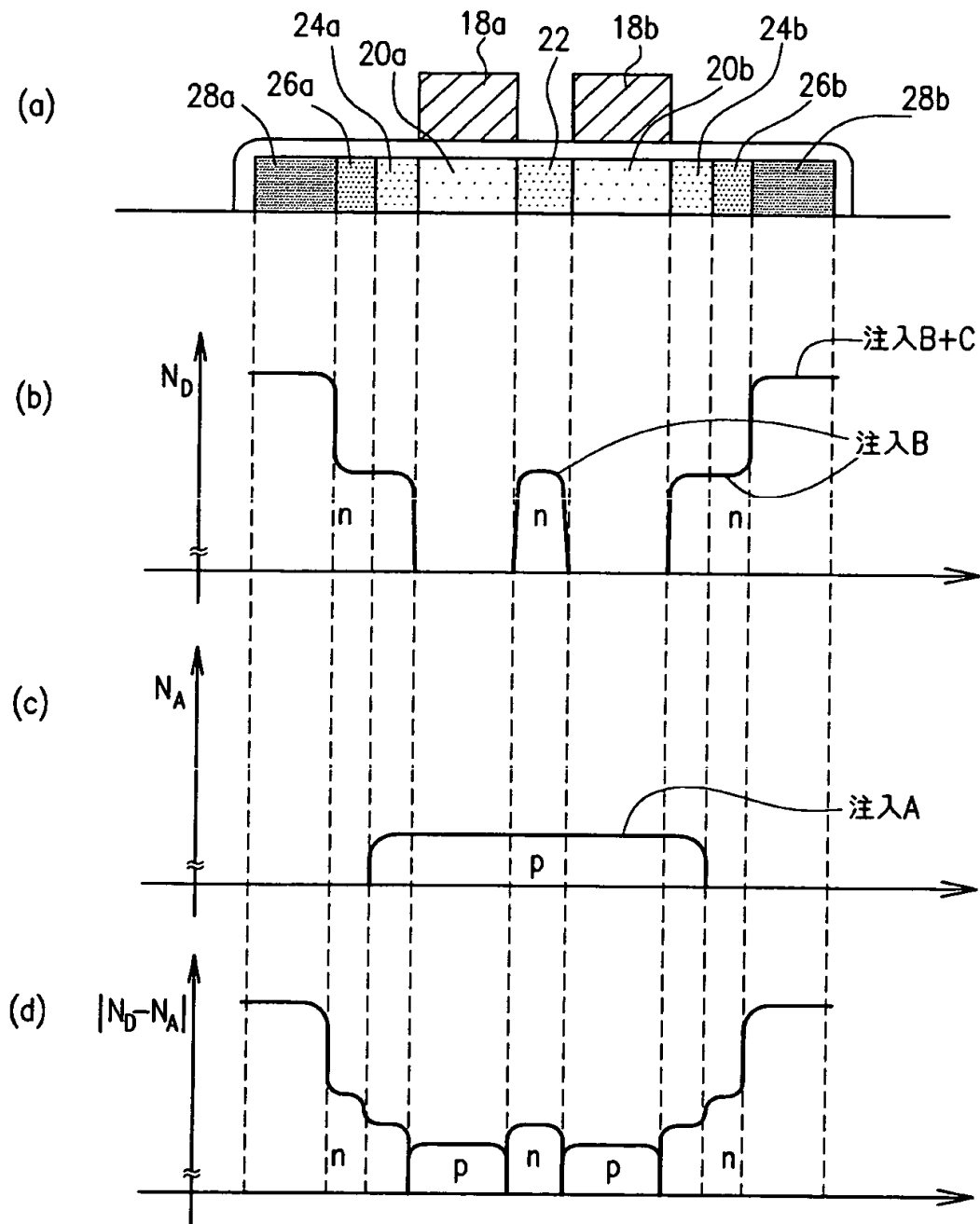


【図 5】

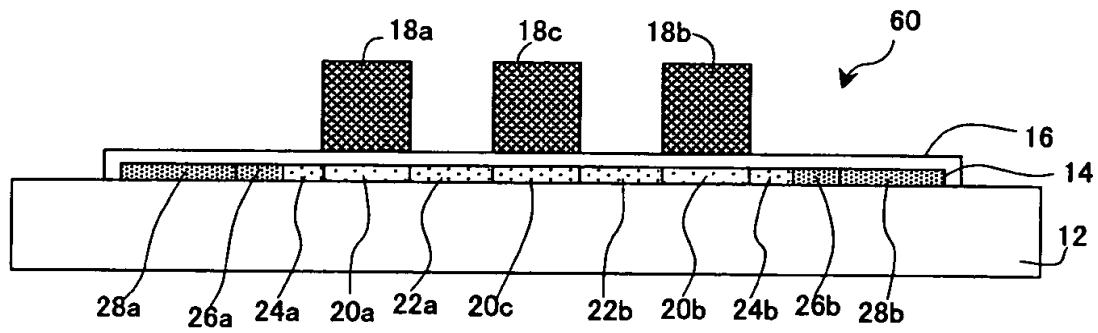




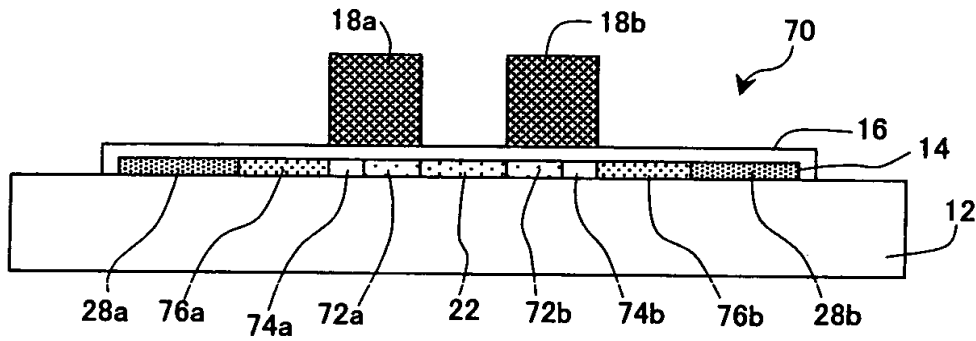
【図 6】



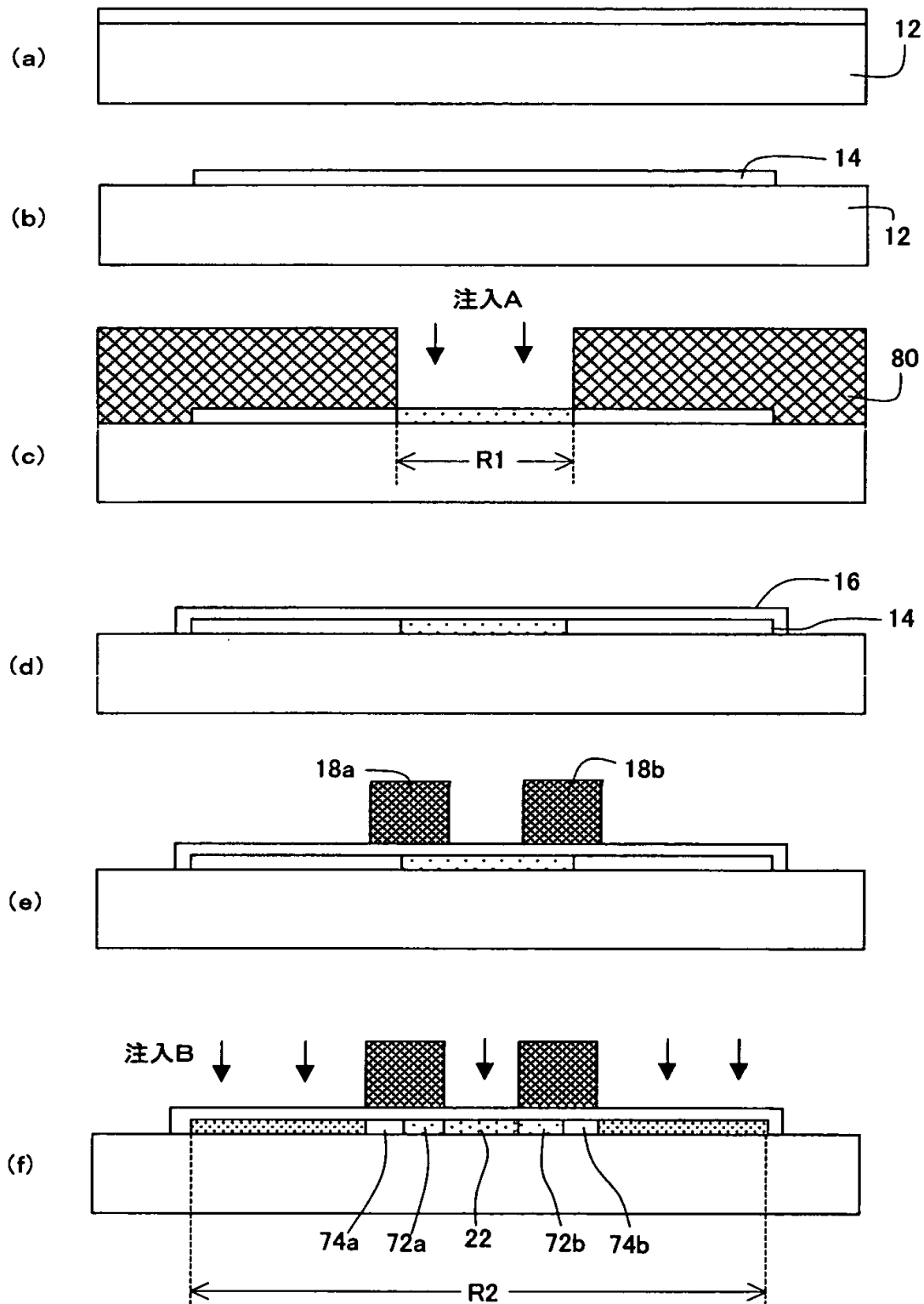
【図 7】



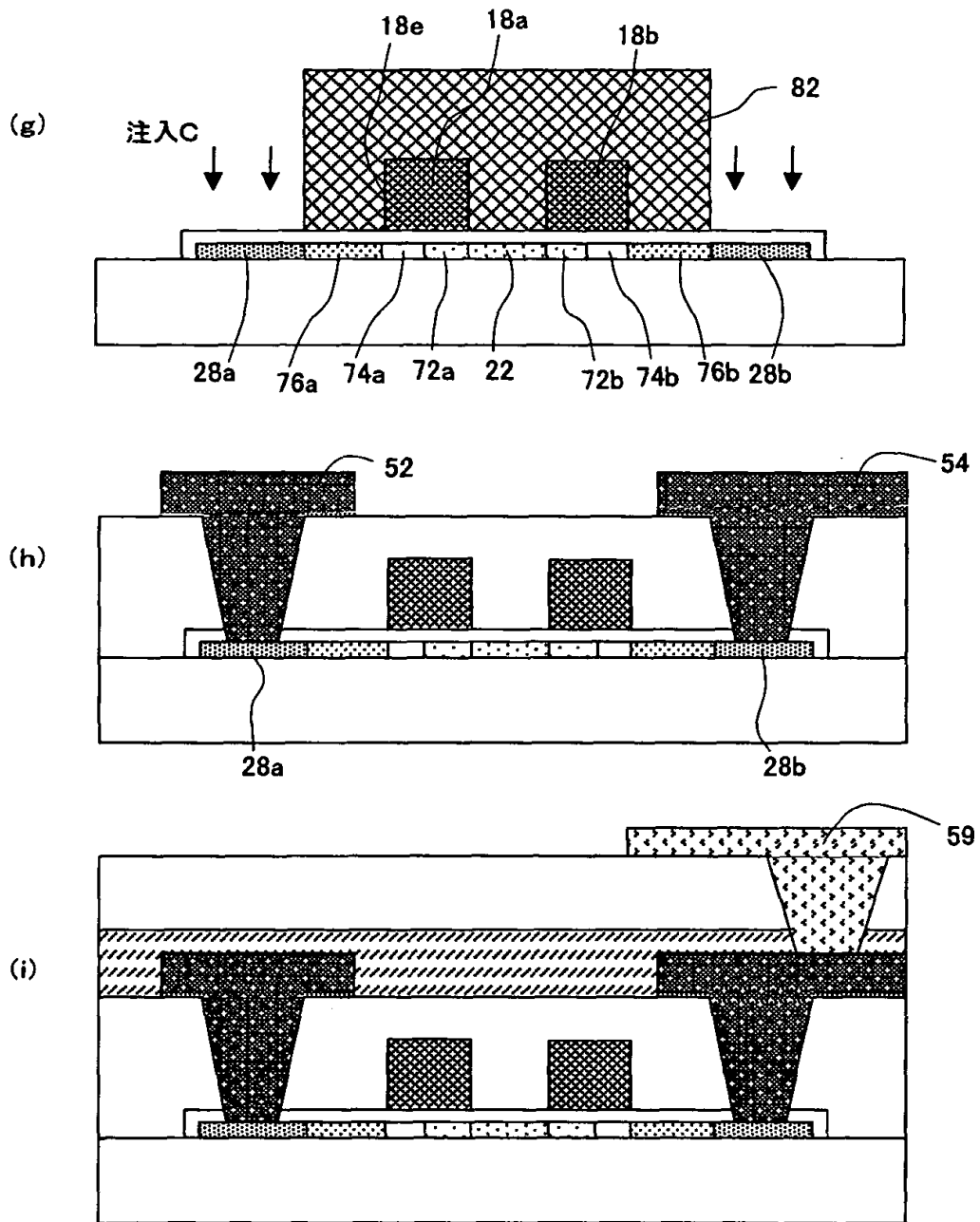
【図 8】



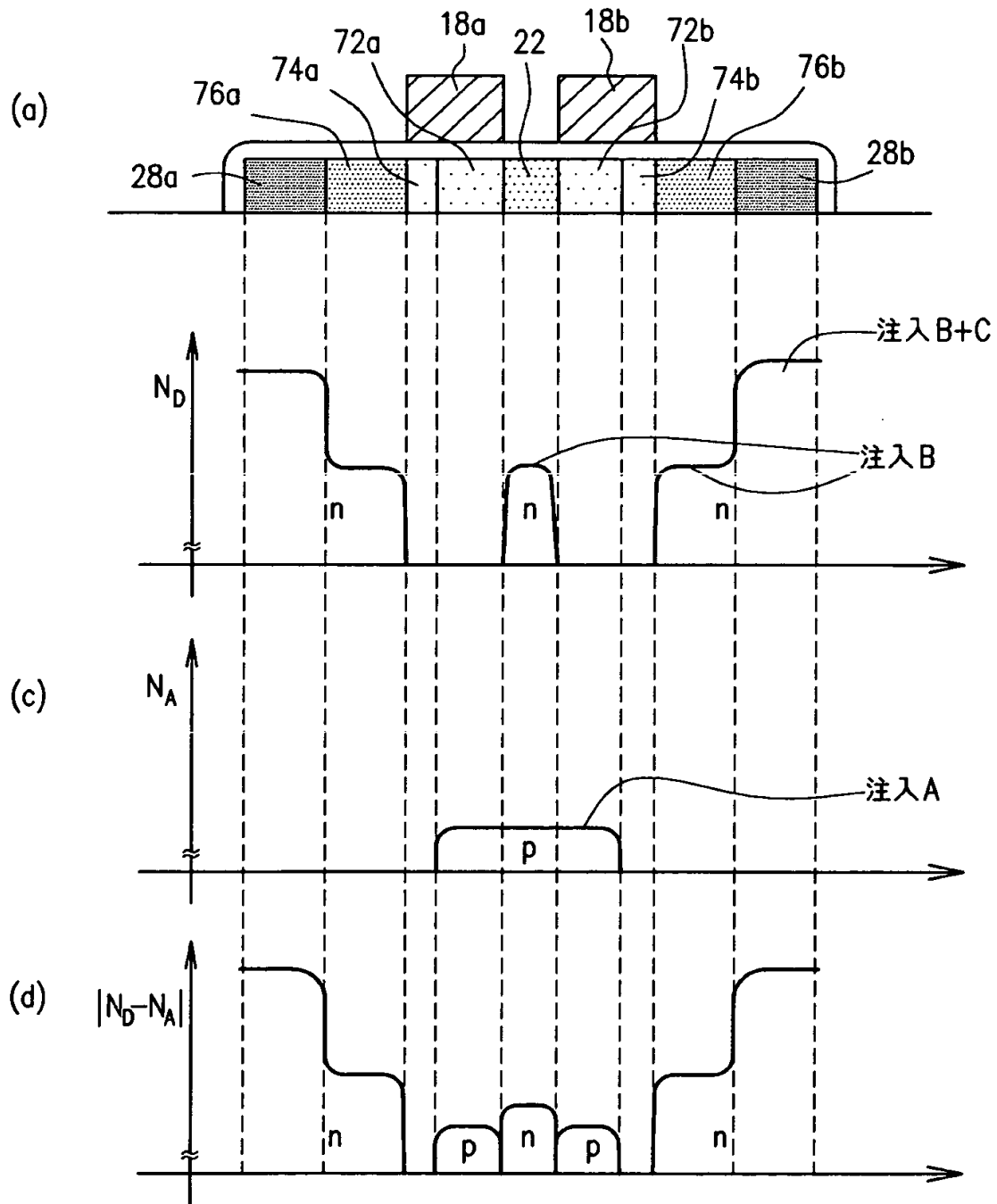
【図 9】



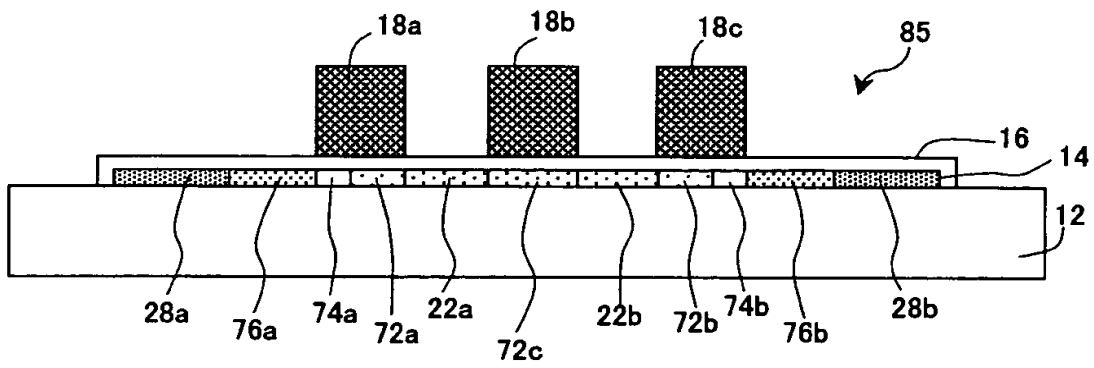
【図10】



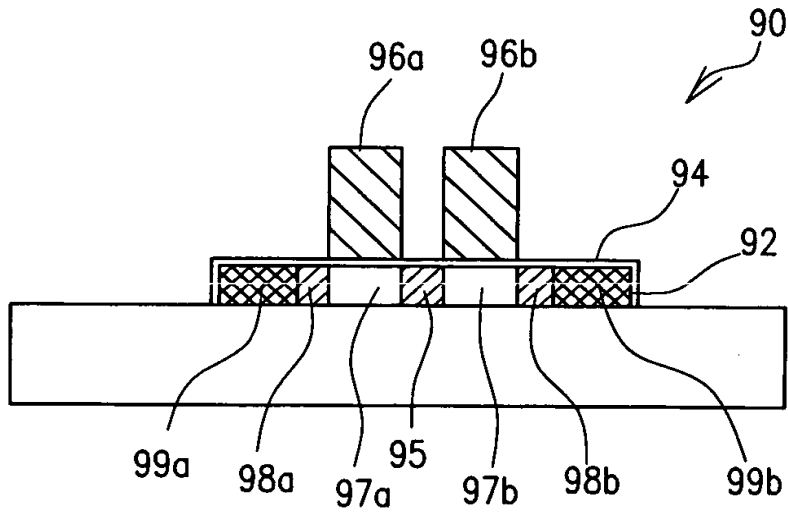
【図11】



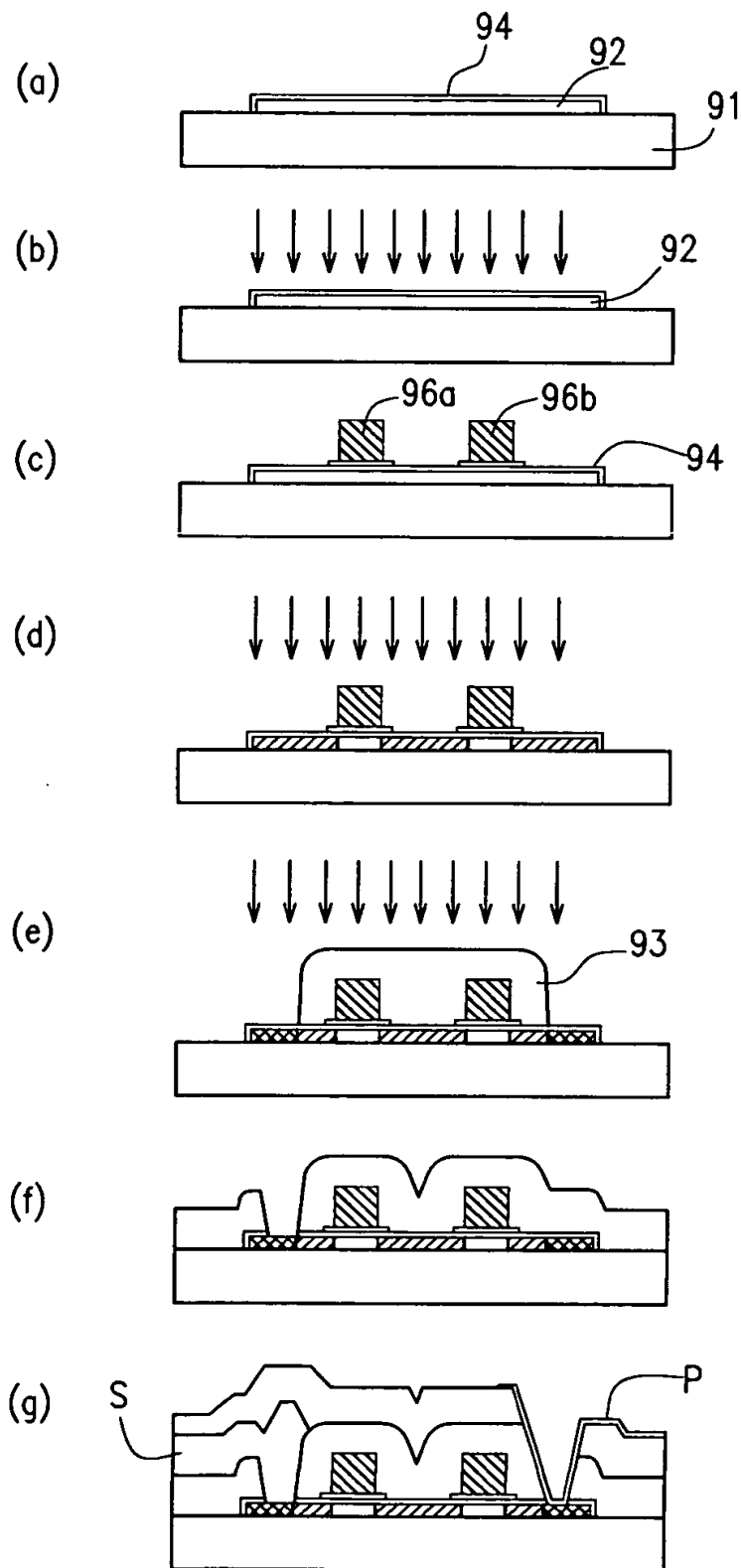
【図 12】



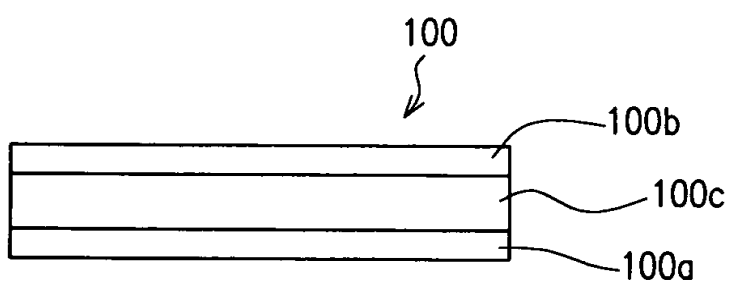
【図 13】



【図 1 4】



【図 1 5】





【書類名】 要約書

【要約】

【課題】 リーク電流を抑制し、かつ、オン電流を高くすることができる薄膜トランジスタを提供する。

【解決手段】 薄膜トランジスタは、間隔を開けて設けられた n 型高濃度不純物領域 2 8 a および 2 8 b と、n 型高濃度不純物領域 2 8 a および 2 8 b 間に位置し、複数のゲート電極 1 8 a, 1 8 b にそれぞれ対向する複数の p 型チャネル領域 2 0 a, 2 0 b と、隣接するチャネル領域間に設けられた n 型中間領域 2 2 と、高濃度不純物領域 2 8 a の最も近くに位置するチャネル領域 2 0 a と高濃度不純物領域 2 8 a との間に位置する、キャリア濃度が異なる少なくとも 2 つの n 型低濃度不純物領域 2 6 a および 2 4 a と、高濃度不純物領域 2 8 b の最も近くに位置するチャネル領域 2 0 b と高濃度不純物領域 2 8 b との間に位置する、キャリア濃度が異なる少なくとも 2 つの n 型低濃度不純物領域 2 6 b および 2 4 b とを有する。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社